

① BUNDESREPUBLIK

DEUTSCHLAND



DEUTSCHES  
PATENTAMT

②

Offenlegungsschrift

③

DE 29 46 081 A 1

⑤

Int. Cl. 3:

G 05 B 23/02

G 06 F 11/00

G 01 R 31/28

② Aktenzeichen:

P 29 46 081.9

② Anmeldetag:

15. 11. 79

④ Offenlegungstag:

27. 5. 81

DE 29 46 081 A 1

⑦

Anmelder:

Wabco Fahrzeugbremsen GmbH, 3000 Hannover, DE

⑦

Erfinder:

Ruhnau, Gerhard, 3000 Hannover, DE; Hesse, Karl-Heinz,  
3007 Gehrden, DE; Grubert, Klaus; Auding, Rudolf, 3000  
Hannover, DE

⑤

Recherchenergebnis gem. § 43 Abs. 1 Satz 1 PatG:

DE-OS 28 22 077

DE-OS 19 09 453

DE-OS 17 10 785

US 40 72 852

DE-Z: »Elektrotechnik«, 1969, H. 14, J. 10, 11, 21;

US-Z: »IBM Technical Disclosure Bul- letine« Vol. 20, Nr. 4,  
9/1977, S. 1358;

US-Z: Electronics, 22.01.76, S. 100-105;

US-Z: Electronics Design, 05.01.1978, S. 88-92;

US-B: Large Scale Integration, Tagungs- bericht,  
Oktober 1978, S. 74-79;

⑤

Anordnung zur Überwachung der Funktion eines programmierbaren elektronischen Schaltkreises

DE 29 46 081 A 1

Hannover, den 7. Nov. 1979  
WP 55/79 A/V1

WABCO Fahrzeugbremsen GmbH, Hannover

Patentansprüche

1. Anordnung zur Überwachung der Funktion eines programmierbaren elektrischen Schaltkreises, insbesondere eines Mikroprozessors oder eines Mikrocomputers, dadurch gekennzeichnet, daß dem Schaltkreis (1) eine Überwachungsschaltung (2, 3, 4) zugeordnet ist, die mit dem RESET-Eingang (5) und dem CLEAR-Ausgang (6) des Schaltkreises (1) verbunden ist und eine Meßeinrichtung (7, 8, 9) zur Erfassung der Programmdauer enthält.
2. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Überwachungsschaltung (2) aus einem Binärzähler (7) besteht, dessen Takteingang (10) an einen Taktgenerator (11), dessen RESET-Eingang (12) am CLEAR-Ausgang (6) und dessen der jeweiligen Programmdauer zugeordneter Zähl-

ausgang  $Z_{13}$  an den RESET-Eingang (5) des Schaltkreises (1) angeschlossen ist (Fig. 1).

3. Anordnung nach Anspruch 1 bis 2, dadurch gekennzeichnet, daß die Überwachungsschaltung (3) aus einem Binärzähler (7) und einer an den Zähler angeschlossenen Dekodierschaltung (8) zur Erfassung eines zulässigen Zeitbereichs für die Programmdauer des Schaltkreises (1) besteht (Fig. 2).
4. Anordnung nach Anspruch 3, dadurch gekennzeichnet, daß
  - a) dem RESET-Eingang des Binärzählers (7) ein Verzögerungsglied (13) vorgeschaltet ist,
  - b) der Ausgang der Dekodierschaltung (8) und der CLEAR-Ausgang des Schaltkreises (1) in einem UND-Glied (14) zusammengefaßt sind,
  - c) dem UND-Glied (14) ein monostabiler Multivibrator (15) nachgeschaltet ist,
  - d) der Ausgang des monostabilen Multivibrators (15) und der der maximalen Programmdauer entsprechende Zählausgang  $Z_{13}$  in einem ODER-Glied (16) zusammengefaßt sind,
  - e) der Ausgang des ODER-Gliedes (16) mit dem RESET-Eingang (5) des Schaltkreises (1) verbunden ist.
5. Anordnung nach Anspruch 1, dadurch gekennzeichnet, daß die Überwachungsschaltung (4) aus einem zweiten Mikrocomputer oder -prozessor (9) besteht, dessen INTERRUPT-Eingang (17) mit dem CLEAR-Ausgang (6) des zu überwachenden Schaltkreises (1) und dessen Ausgang (18) mit dem RESET-Eingang (5) des zu überwachenden Schaltkreises (1) verbunden ist (Fig. 3).

Hannover, den 7. Nov. 1979  
WP 55/79 A/V1

WABCO Fahrzeugbremsen GmbH, Hannover

Anordnung zur Überwachung der Funktion eines programmierbaren elektronischen Schaltkreises

Die Erfindung bezieht sich auf eine Anordnung zur Überwachung der Funktion eines programmierbaren elektrischen Schaltkreises, insbesondere eines Mikroprozessors oder eines Mikrocomputers.

Störpegel auf der Versorgungsspannung eines solchen Schaltkreises können dazu führen, daß die Programmzähler- und Registerinhalte eines Mikroprozessors oder Mikrocomputers derart verändert werden, daß das im Festwertspeicher vorhandene Programm nicht mehr richtig abgearbeitet werden kann und nur noch willkürliche Operationen durchgeführt werden. Dieser Zustand kann nur durch eine RESET-Funktion, d.h. ein Rücksetzen des Mikro-

130022/0200

2946081

computers oder Mikroprozessors in den Anfangszustand mit anschließendem Wiederstart des Programms beendet werden.

Denkbar ist es bei Mikroprozessoren die Datenleitungen auf das Auftreten in illegalen Operationen zu überprüfen und beim Vorliegen solcher Operationen Maßnahmen zu ergreifen, die auf den Wiederstart des Programms abzielen.

Dieses Verfahren erfordert jedoch eine umfangreiche Dekodierschaltung zur Erkennung der illegalen Operationen und ist außerdem für Mikrocomputer nicht anwendbar, da bei diesen die Datenleitungen nicht extern zugänglich sind.

Diese Aufgabe wird durch die im Patentanspruch 1 angegebene Erfindung gelöst.

Grundlage der erfindungsgemäßen Überwachungsanordnung ist, daß von einem Mikroprozessor oder einem Mikrocomputer nach jedem Durchlauf seines Programmes ein CLEAR-Signal abgegeben wird, welches den Inhalt eines Zählers auf den Wert Null zurücksetzt. Dieser Zähler wird mit einer festen Frequenz getaktet, d.h. er zählt mit konstanter Geschwindigkeit aufwärts. Wird nun der Mikroprozessor oder Mikrocomputer derart gestört, daß er das vorgesehene Nutzprogramm nicht mehr abarbeiten kann, dann wird auch das CLEAR-Signal nicht mehr erzeugt, und der Zähler erreicht einen Zählerstand, der bei normaler Folgefrequenz des CLEAR-Signals nicht möglich ist. Dieser unzulässige Zählerstand wird in den Anordnungen gemäß der Erfindung ausgewertet, um den Fehler zu erkennen, den Mikroprozessor oder Mikrocomputer in den Ausgangszustand zurückzusetzen und das Programm neu zu starten.

In der Zeichnung sind in Form von Blockschaltbildern Ausführungsbeispiele der Erfindung dargestellt.

130022/0200

ORIGINAL INSPECTED

- Fig. 1 zeigt eine Anordnung zur Überwachung des Programms auf eine zulässige Höchstdauer mittels eines Binärzählers.
- Fig. 2 zeigt eine Anordnung zur Überwachung des Programms auf eine Mindest- und auf eine Höchstdauer mit einem Binärzähler und einem nachgeschalteten Dekodierer.
- Fig. 3 zeigt eine Überwachungsanordnung mit einem weiteren Mikrocomputer.

In Fig. 1 ist ein Ausführungsbeispiel der Erfindung dargestellt und wird anhand dieser Figur im folgenden näher beschrieben, welches den Mikrocomputer oder Mikroprozessor mittels einer fest vorgegebenen Logikschaltung (Random-Logik) überwacht. Diesem Beispiel liegen folgende Werte des programmierten Mikrocomputers zugrunde:

Mittlere Programmdauer  $TP$  = 1,7 msek.  
Maximale Programmdauer  $TP_{\max}$  = 1,8 msek.  
Minimale Programmdauer  $TP_{\min}$  = 1,6 msek.  
Taktfrequenz  $FZ$  = 4,4 Mhz

Für einen zu einer Fehlermeldung (zu lange Laufdauer) führenden Zahlenwert  $ZW$  gilt:

$$ZW = TP_{\max} \times FZ = 1,8 \text{ msek.} \times 4,4 \text{ Mhz} = 7.920$$

Die Schaltung gemäß Fig. 1 ist wie folgt aufgebaut:

Ein Taktgenerator 11 versorgt einen Mikrocomputer 1 und über einen Anschluß einen 16-Bit-Binärzähler 7 mit einem Taktsignal.

2946081

Über den CLEAR-Ausgang 6 des Mikrocomputers wird das mit der Frequenz  $\frac{1}{T_P}$  vom Mikrocomputer abgegebene CLEAR-Signal dem Binärszähler 7 zugeführt. Kommt das CLEAR-Signal nicht rechtzeitig, dann erreicht der Binärszähler 7 einen Zählerstand der den oben berechneten Wert von 7.920 übertrifft. Aus diesem Grund ist der Ausgang  $Z_{13}$  des Binärszählers 7, der einem Zählerstand von  $8.192 = 2^{13}$  entspricht, mit dem RESET-Eingang des Mikrocomputers 1 verbunden. Bei zu langer Laufzeit des Programms geht der Ausgang  $Z_{13}$  des Binärszählers 7 von logisch 0 auf logisch 1 über. Der Ausgang  $Z_{13}$  bleibt nun für die

$$\text{Zeit } t_1 = \frac{8.192}{F_Z} = 1,862 \text{ msek.}$$

auf logisch 1 Pegel und damit auch der RESET-Eingang des Mikrocomputers 1. Nach Ablauf von  $t_1$  geht der Zählerausgang  $Z_{13}$  für die

$$\text{Zeit } t_0 = \frac{8.192}{F_Z} = 1,862 \text{ msek.}$$

auf logisch 0 Pegel über. Gleichzeitig mit dem Ablauf der Zeit  $t_1$  beginnt aber auch das normale Rechnerprogramm, so daß, wenn keine weitere Störung auftritt, der Zähler 7 noch vor Ablauf der Zeit  $t_0$  vom CLEAR-Signal des Mikrocomputers 1 zurückgesetzt und deshalb der Zählerstand 8.192 nicht mehr erreicht wird.

Gemäß Fig. 2 ist die Erfindung derart weitergebildet, daß auch RESET-Signale erzeugt werden, wenn das CLEAR-Signal des Mikrocomputers mit einer größeren Folgefrequenz ausgegeben wird als es der minimalen Programmdauer  $TP_{\min}$  entspricht. Eine derartige zu hohe Folgefrequenz des CLEAR-Signals deutet ebenfalls auf einen fehlerhaften Programmablauf hin.

130022/0200

ORIGINAL INSPECTED

In diesem Fall muß durch die Überwachungsschaltung ein RESET-Signal erzeugt werden, wenn ein CLEAR-Signal auftritt, obwohl der Zähler einen bestimmten Mindestwert  $ZW_{\min}$  noch nicht erreicht hat, wobei  $ZP_{\min} = TP_{\min} \times FZ$   
 $= 1,6 \text{ msek.} \times 4,4 \text{ Mhz} = 7.040$

Im Ausführungsbeispiel nach Fig. 2 sind zur Erfassung des Zählermindestwertes  $ZW_{\min} = 7.040$  die Ausgänge  $Z_7 - Z_{12}$  des Binärzählers 7 mit einer Dekodierschaltung 8 verbunden. Solange der Zählerstand des Binärzählers 7 kleiner ist als der Mindestwert  $ZW_{\min}$  liegt der Ausgang der Dekodierschaltung 8 und damit ein Eingang eines UND-Gliedes 14 auf logisch 1 Pegel. Gibt nun der Mikrocomputer 1 über den Ausgang 6 ein CLEAR-Signal (logisch) aus, dann entsteht am Ausgang des UND-Gatters 14 eine positive Signalfanke, die einen nachgeschalteten monostabilen Multivibrator (MMV) 15 triggert, der daraufhin einen Ausgangsimpuls definierter Dauer mit logisch 1 Pegel über ein ODER-Gatter 16 auf den RESET-Eingang des Mikrocomputers 1 abgibt. Die erforderliche Länge dieses RESET-Impulses hängt von der Arbeitsweise und der Programmierung des verwendeten Mikrocomputers oder Mikroprozessors ab.

Durch das Vorschalten einer Verzögerungsschaltung 13 vor den RESET-Eingang 12 des Binärzählers 7 wird sichergestellt, daß die Dekodierschaltung 8 den Zählerstand auswerten und das dem Zählerstand entsprechende Signal an das UND-Gatter 14 weiterleiten kann, bevor der Zähler 7 zurückgesetzt wird.

Wenn das CLEAR-Signal zu spät kommt ( $TP_{\max}$  überschritten), dann wirkt die in Fig. 2 dargestellte Schaltung in gleicher Weise wie die in Fig. 1 angegebene Schaltung.



Die oben beschriebene Schaltung erfordert so wenig Aufwand, daß sie ohne Schwierigkeiten als Nebenfunktion mit in einen Kundenschaltkreis für spezielle Aufgaben integriert werden kann, s.B. in den Eingangsschaltkreis für ein Blockierschutzsystem für die Bremsen eines Fahrzeugs.

In Fig. 3 ist eine weitere Schaltungsvariante der Erfindung angegeben.

Der CLEAR-Ausgang 6 des zu Überwachenden Mikrocomputers 1 ist hier mit einem Interrupt-Eingang 17 eines Überwachungs-Mikrocomputers 9 verbunden. Ein CLEAR-Signal bewirkt damit die Aktivierung eines Überwachungsprogrammes im Mikrocomputer 9.

Dieses Programm (siehe Fig. 4) ermittelt, ob die Folgefrequenz der CLEAR-Signale im zulässigen Bereich liegt. Ist  $ZW_{max}$  überschritten oder  $ZW_{min}$  unterschritten, dann wird vom Überwachungs-Mikrocomputer 9 über den Ausgang 18 der RESET-Eingang 5 des Mikrocomputers 1 aktiviert und der Mikrocomputer damit in den Ausgangszustand zurückgesetzt. Das Nutzprogramm in diesem Mikrocomputer wird damit neu gestartet.

Das als Zähler arbeitende Register im Überwachungs-Mikrocomputer 9 wird durch ein Zeit-Interruptprogramm des Überwachungs-Mikrocomputers 9 mit konstanter Frequenz inkrementiert.

Die Verwendung bzw. Mitbenutzung eines zweiten Mikrocomputers 9 zur Überwachung des ersten Mikrocomputers 1 bietet sich besonders dann an, wenn in der betroffenen Schaltung sowie ein zweiter Mikrocomputer vorhanden ist. Dieser enthält dann neben seinem Nutzprogramm das in Fig. 4 dargestellte Überwachungsprogramm.

-9-  
Leerseite

2946081

- 13 -

Nummer:  
Int. Cl.<sup>3</sup>:  
Anmeldetag:  
Offenlegungstag:

29 46 081  
G 05 B 23/02  
15. November 1979  
27. Mai 1981

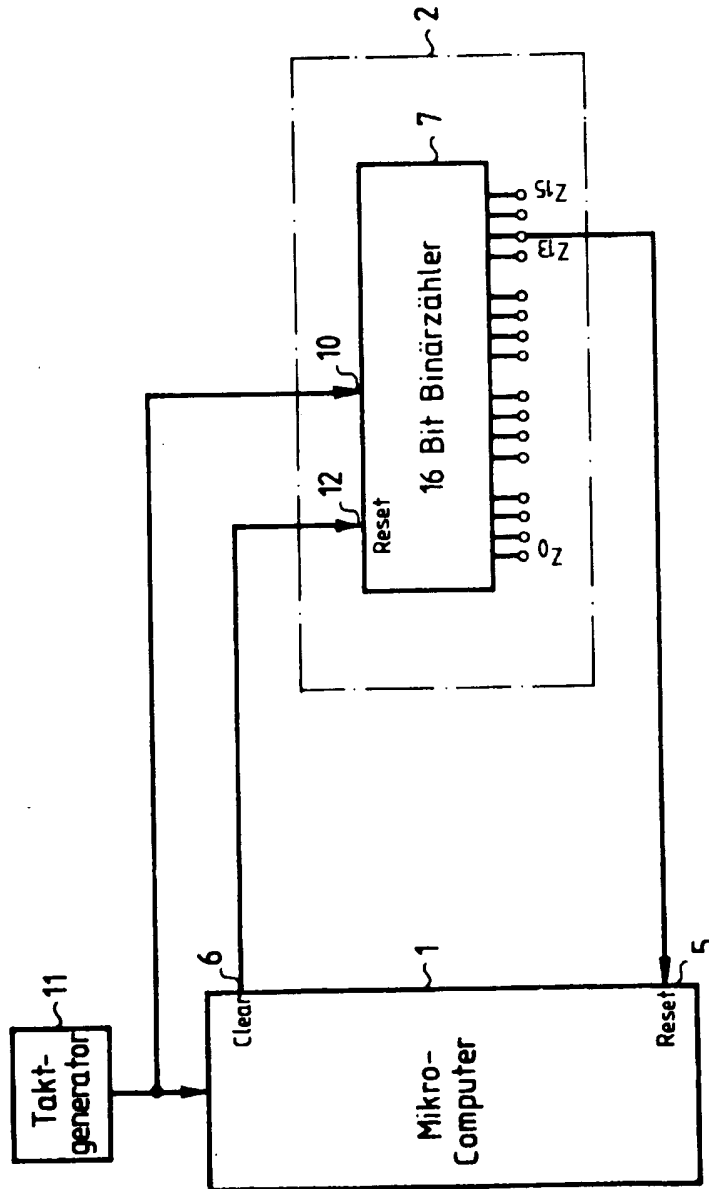


Fig. 1

130022/0200

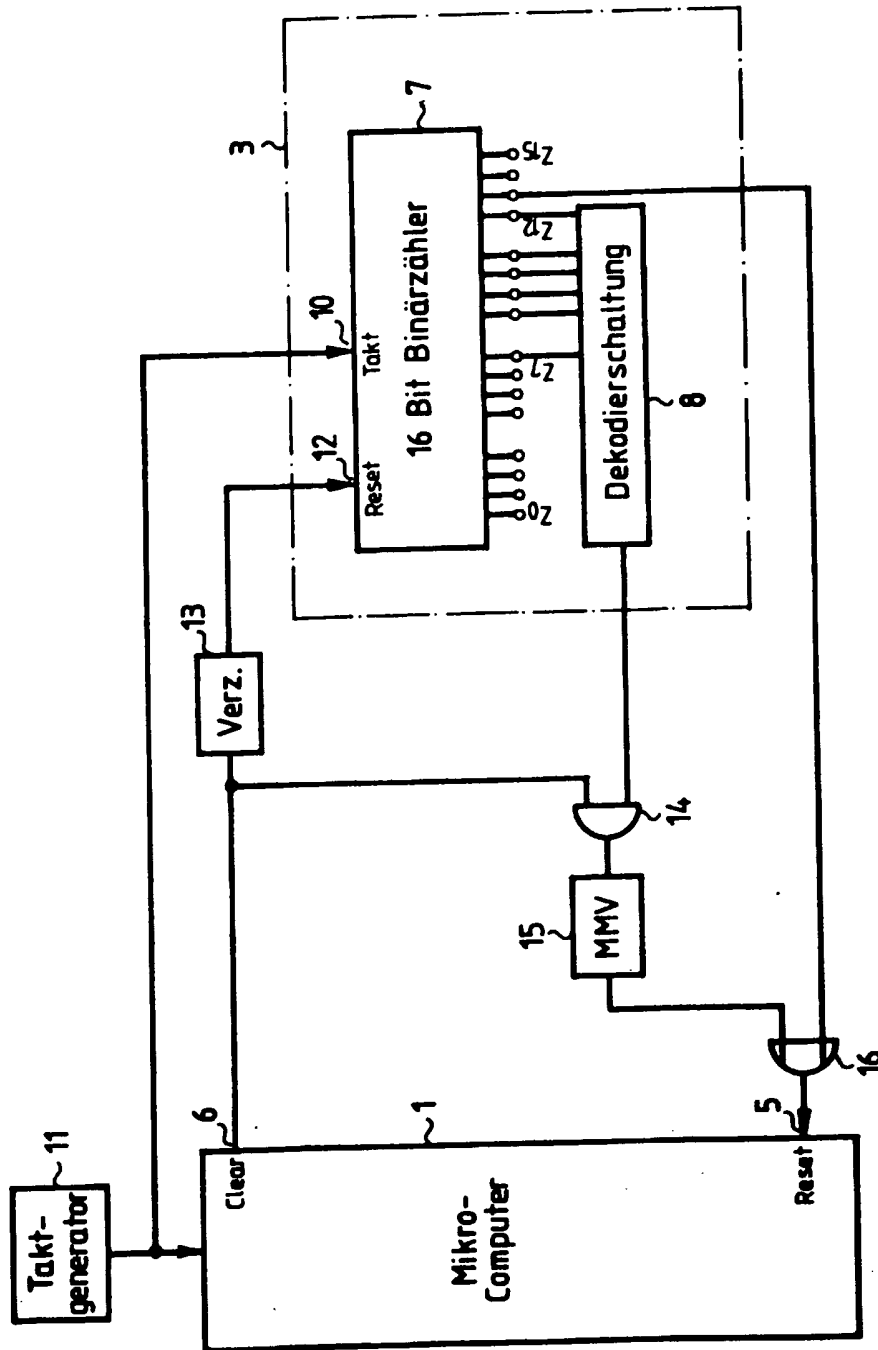


Fig. 2

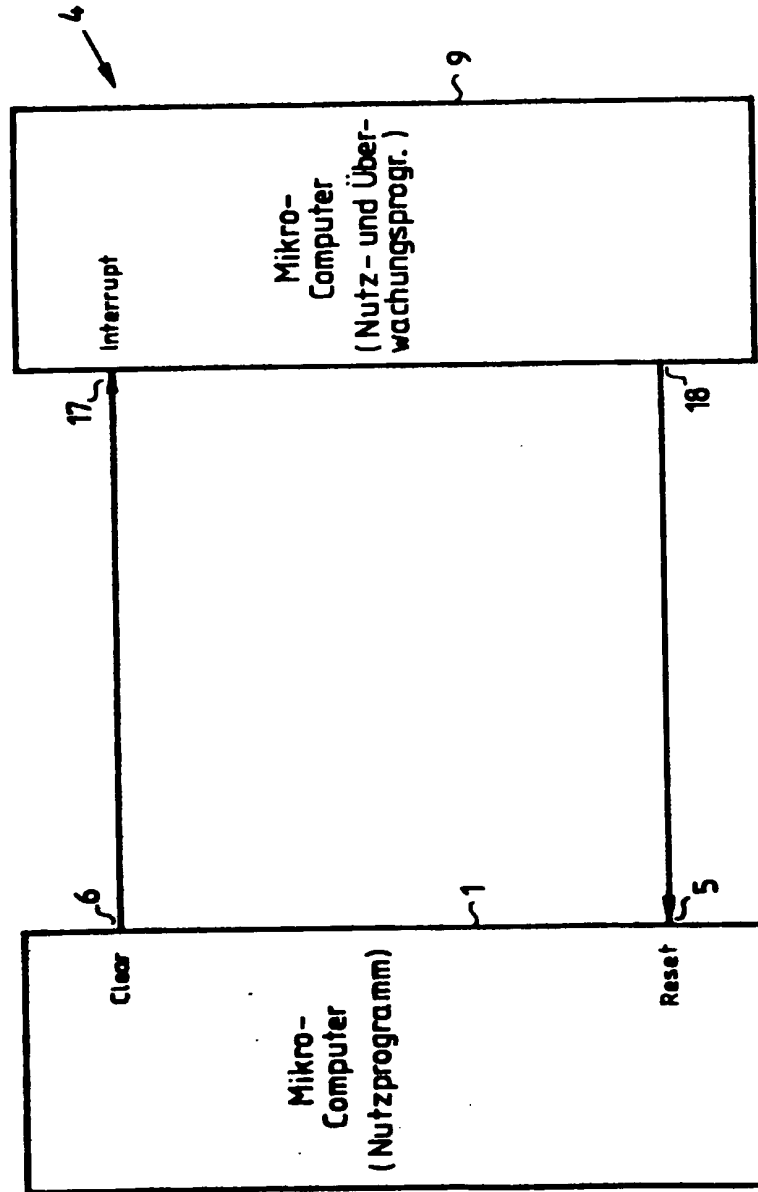


Fig. 3

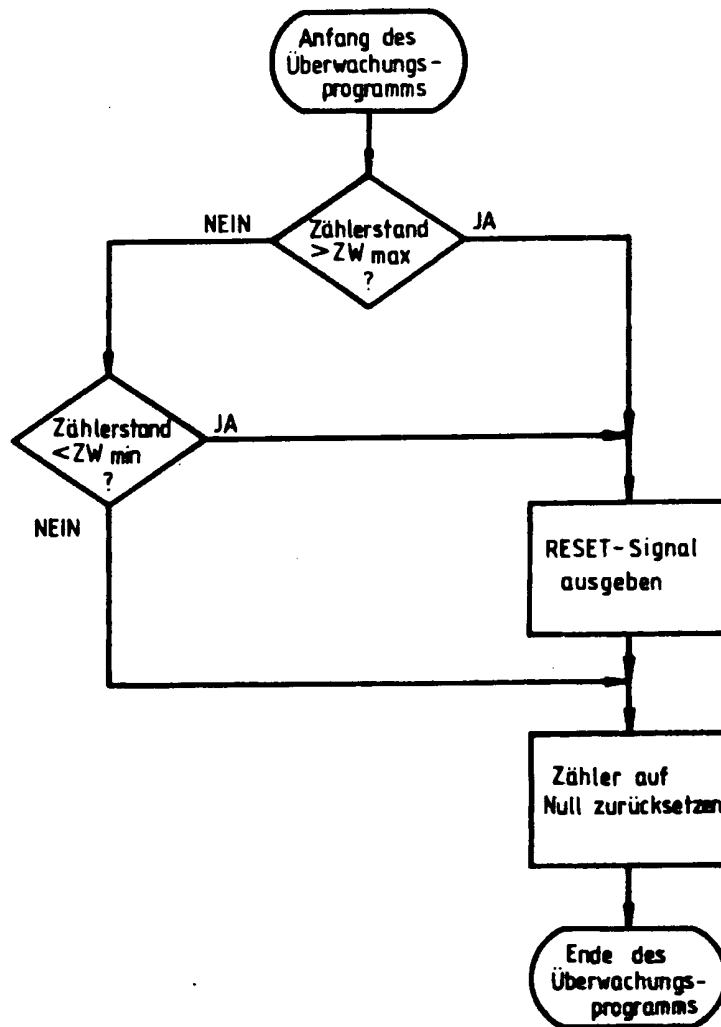


Fig. 4